

公開実用平成 2-138728

⑩日本国特許庁(JP)

⑪実用新案出願公開

⑫公開実用新案公報(U) 平2-138728

⑬Int.Cl.

G 02 F 1/136
G 08 G 3/36

識別記号

5 0 0
5 5 0

府内整理番号

8018-2H
8708-2H
8821-5C

⑭公開 平成2年(1990)11月20日

審査請求 未請求 求求項の数 1 (全頁)

⑮考案の名称 画像表示装置

⑯実 頼 平1-47153

⑰出 頼 平1(1989)4月21日

⑲考案者 神 原 実 東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内

⑳出願人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

㉑代理人 弁理士 鈴江 武彦 外3名

明細書

1. 考案の名称

画像表示装置

2. 実用新案登録請求の範囲

時分割されたゲート信号が供給される複数のゲートラインと、サンプリングされた映像信号が供給される複数のソースラインと、これらのゲートライン及びソースラインの各交点部に配置されて対応するゲートライン及びソースラインに接続されるスイッチング用トランジスタと、これらの各スイッチング用トランジスタに接続される不揮発性半導体メモリ素子と、これらの各メモリ素子の出力信号によりそれぞれ駆動される電圧制御型画像表示素子とを具備したことを特徴とする画像表示装置。

3. 考案の詳細な説明

[産業上の利用分野]

本考案は、アクティブ・マトリクス駆動方式を用いて液晶表示素子等の電圧制御型画像表示素子を駆動する画像表示装置に関する。

[従来の技術]

従来、アクティブ・マトリクス駆動方式を用いて液晶表示素子等の電圧制御型画像表示素子を駆動する画像表示装置は、第3図に示すように構成されている。同図に示すようにゲートライン11a, 11b, …及びソースライン12a, 12b, …がマトリクス状に配置され、これらゲートライン11a, 11b, …とソースライン12a, 12b, …との各交点部分にMOSトランジスタ13a1, 13a2, …, 13b1, 13b2, …が設けられている。これらの各MOSトランジスタ13a1, 13a2, …, 13b1, 13b2, …は、ゲート電極が対応するゲートライン11a, 11b, …に接続され、ソース電極が対応するソースライン12a, 12b, …に接続

される。そして、上記各MOSトランジスタ
13a1, 13a2, …, 13b1, 13b2, …のドレ
イン電極と接地との間に電圧制御型表示素子例え
ば液晶表示素子14a1, 14a2, …, 14b1,
14b2, …が設けられる。

上記の構成において、ゲートライン11a, 11b,
…を垂直走査信号により順次選択駆動し、ソース
ライン12a, 12b, …を映像信号を供給すること
により、MOSトランジスタ13a1, 13a2, …,
13b1, 13b2, …が動作して、液晶表示素子
14a1, 14a2, …, 14b1, 14b2, …が選択
的に駆動される。

[考案が解決しようとする課題]

上記のようにして液晶表示素子14a1,
14a2, …, 14b1, 14b2, …が選択的に駆動
されるが、液晶表示素子は電気的には容量性であ
るため、アナログ映像信号を表示するに必要な期
間だけ、充電電荷を保持しておく必要がある。こ
のためには、スイッチング素子であるMOSト

】
ランジスタ13a1, 13a2, …のリーク電流を極力少なく、例えば1pA以下に抑える必要がある。

しかし、MOSトランジスタ13a1, 13a2, …のリーク電流を1pA以下の低レベルに抑えることは非常な困難を伴い、製造プロセスが敏感に影響し、また、湿度等の環境変化による影響も大きく受ける等の欠点があった。

本考案は上記実情に鑑みて成されたもので、スイッチング用トランジスタのリーク電流の影響を受けず、液晶表示素子の充電電荷を必要な期間だけ確実に保持し得、製造プロセスに敏感に反応することなく、かつ、湿度等の環境変化の影響が小さい画像表示装置を提供することを目的とする。

【課題を解決するための手段】

本考案は、アクティブ・マトリクス駆動方式を用いて電圧制御型の画像表示素子を駆動する画像表示装置において、各スイッチング用トランジスタと画像表示素子との間にそれぞれ不揮発性のメモリ素子を設け、このメモリ素子により画像表

示素子を駆動するようにしたものである。

【作用】

上記の構成において、映像信号をスイッチング用トランジスタを介してメモリ素子に入力することにより、メモリ素子の V_{th} が映像信号の関数として変化し、画像表示素子が映像信号に応じて駆動される。また、スイッチング用トランジスタと画像表示素子との間に不揮発性のメモリ素子を設けることにより、回路のリーク電流による影響を殆ど受けず、画像表示素子の充電電荷を必要な期間だけ確実に保持することが可能となる。又、回路のリーク電流の影響を受けなくなるので、製造プロセスの管理が容易になると共に、湿度等の環境変化による影響も小さくなる。

【実施例】

以下、図面を参照して本考案の一実施例を説明する。

第1図は、画像表示装置の回路構成を示すプロ

]

ック図である。同図に示すようにゲートライン 11a, 11b, … 及びソースライン 12a, 12b, … がマトリクス状に配置され、これらゲートライン 11a, 11b, … とソースライン 12a, 12b, … の各交点部分にスイッチング素子例えば M O S ドランジスタ 13a1, 13a2, …, 13b1, 13b2, … が設けられている。これらの各 M O S ドランジスタ 13a1, 13a2, …, 13b1, 13b2, … は、ゲート電極が対応するゲートライン 11a, 11b, … に接続され、ソース電極が対応するソースライン 12a, 12b, … に接続される。そして、上記各 M O S ドランジスタ 13a1, 13a2, …, 13b1, 13b2, … のドレイン電極は、それぞれ抵抗 21a1, 21a2, …, 21b1, 21b2, … を介して接地されると共に、半導体不揮発性メモリ素子 22a1, 22a2, …, 22b1, 22b2, … のゲート電極に接続される。この不揮発性メモリ素子 22a1, 22a2, …, 22b1, 22b2, … は、ドレイン電極が接地され、ソース電極と -V の電源ライン 23との間に液晶表示素子

14a1, 14a2, …, 14b1, 14b2, …が接続される。

そして、上記ゲートライン11a, 11b, …には、例えば映像信号の1フレーム期間を表示行数で時分割したゲート信号が順次印加される。又、ソースライン12a, 12b, …には、サンプリングされた映像信号が上記ゲート信号に同期して供給される。

次に上記実施例の動作を説明する。

一般に半導体メモリ素子は、ゲート電極に印加される電圧によって記憶特性（ヒステリシス特性）のしきい値レベル V_{th} を制御することが可能である。又、第2図に示すようにMOSトランジスタ81のゲート電極及びドレイン電極を接地し、ソース電極をコンデンサ82を介して $-V$ の電源ライン33に接続した時、MOSトランジスタ81のソース電極の電位 V_s は $-V_{th}$ になることが一般に知られている。従って、第2図の回路においては、コンデンサ82の両端子間の電位差は、

$$-V_{th} - (-V) = V - V_{th}$$

となる。

一方、第1図において、不揮発性メモリ素子 $22a_1, 22a_2, \dots$ には、ソースライン $12a, 12b, \dots$ より供給される映像信号がMOSトランジスタ $13a_1, 13a_2, \dots$ を介して与えられる。従って、不揮発性メモリ素子 $22a_1, 22a_2, \dots$ は、しきい値レベル V_{th} が映像信号の関数として変化し、その結果、等価的にコンデンサとして扱える液晶表示素子 $14a_1, 14a_2, \dots$ の端子電圧を制御することができる。すなわち、液晶表示素子 $14a_1, 14a_2, \dots$ の両端子間には、「 $V - V_{th}$ 」の電圧が与えられ、上記 V_{th} が映像信号の関数として変化することから、液晶表示素子 $14a_1, 14a_2, \dots$ により映像表示を行なわせることができる。

そして、MOSトランジスタのゲート電極に V_{th} を印加した時のドレイン電流は、一般にドレンインリーク電流よりも1~3桁以上大きく、又、第2図に示した等価回路において、何等かの理由でコンデンサ 32 にリークが生じてもMOSトラン

ジスタ81に電圧帰還がかかり、回路上常にソース電位V_sを-V_{t1h}に保とうとするので、微小リークは殆ど問題にならなくなる。従って、回路のリーク電流による影響を殆ど受けず、画像表示素子の充電電荷を必要な期間だけ確実に保持することができる。

なお、上記実施例では、電圧制御型の画像表示素子として液晶表示素子を使用したが、その他、プラズマ表示素子、EL素子等を用いた場合においても、上記実施例と同様の効果を得ることができる。

[考案の効果]

以上詳記したように本考案によれば、アクティブ・マトリクス駆動方式を用いて電圧制御型の画像表示素子を駆動する画像表示装置において、各スイッチング用トランジスタと画像表示素子との間にそれぞれ不揮発性のメモリ素子を設け、このメモリ素子により画像表示素子を駆動するようとしたので、回路のリーク電流による影響を殆ど

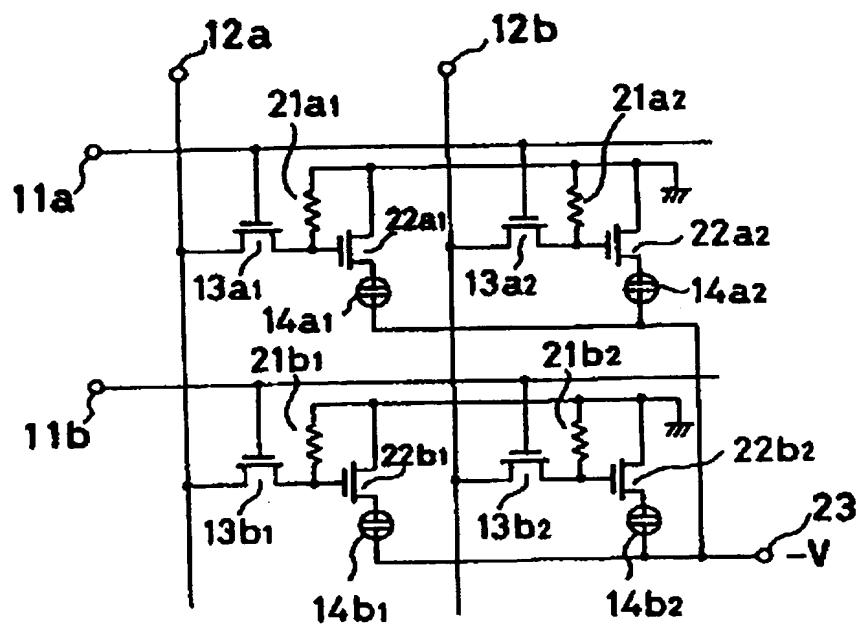


受けず、画像表示素子の充電電荷を必要な期間だけ確実に保持でき、高い画像品質を得ることができる。このため製造プロセスの管理が容易になると共に、湿度等の環境変化の影響も小さくなる。

4. 図面の簡単な説明

第1図は本考案の一実施例による画像表示装置の構成を示す回路図、第2図は同実施例の等価回路図、第3図は従来の画像表示装置の構成を示す回路図である。

11a, 11b …, …ゲートライン、12a, 12b …, …ソースライン、13a1, 13a2, …, 13b1, 13b2 …, …スイッチング用MOSトランジスタ、14a1, 14a2, …, 14b1, 14b2 …, …液晶表示素子、22a1, 22a2, 22b1, 22b2, …不揮発性メモリ素子、23…電源ライン、31…MOSトランジスタ、32…コンデンサ、33…電源ライン。

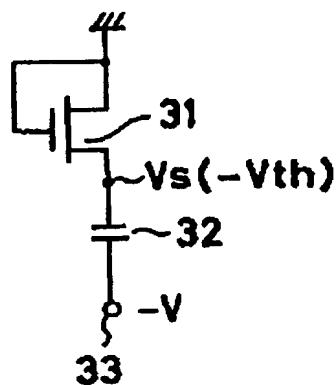


第 1 図

376
実開2・138728

出願人 カシオ計算機株式会社
代理人 鈴江武彦

公開実用平成 2-138728

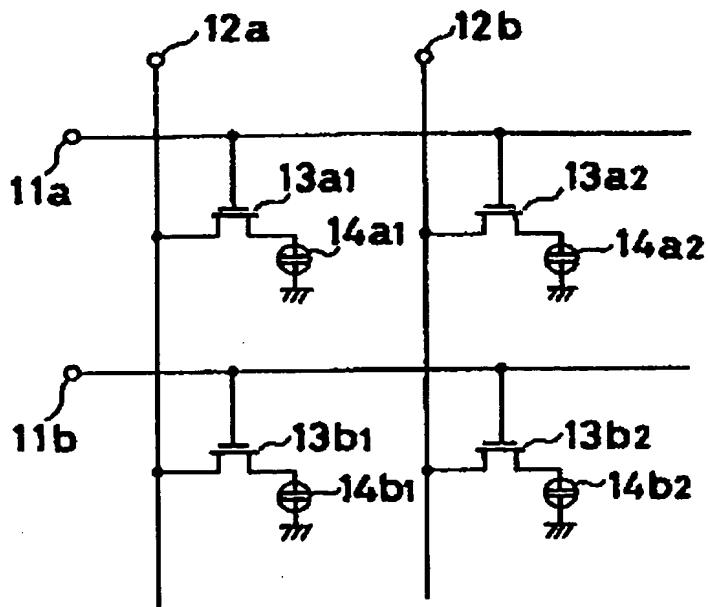


第 2 図

377

公開 2-138728

出願人 カシオ計算機株式会社
代理人 鈴 江 武 彦



第 3 圖

378
実開2-138728

出願人 カシオ計算機株式会社
代理人 鈴 江 武 彦